

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP404179245A  
PAT-NO: JP404179245A  
DOCUMENT-IDENTIFIER: JP 04179245 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 25, 1992

INVENTOR-INFORMATION:

NAME

MASUDA, MASACHIKA  
YANO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP02307810

APPL-DATE: November 13, 1990

INT-CL\_(IPC): H01L021/60

ABSTRACT:

PURPOSE: To realize a high density without increasing the size of a semiconductor chip by a method wherein a circuit is formed on the surface of

the semiconductor chip, another circuit such as a circuit which has mirror-reversed the circuit formed on the surface, a control circuit or the like is formed on the opposite rear, interconnection films are formed, via insulating films, on faces where the circuits have been formed, electrode pads

as parts of the interconnection film are left, residual parts are covered with a passivation film or a pellet coating film, the electrode pad parts are connected to tip parts of inner leads situated around the semiconductor chip and this assembly is sealed with a resin.

CONSTITUTION: A circuit for a memory cell group by a gate array system is formed on the surface; a circuit which has mirror-reversed the circuit formed

on the surface is formed on the rear opposite to the surface 1A; interconnection films are formed, via insulating films, on faces where the circuits have been formed; electrode pad parts 2 as parts of the interconnection film are left, and residual parts are covered with a passivation film or a pellet coating film; the electrode pad parts 2 are connected electrically to tip parts of inner leads 3B of leads 3 situated around the surface 1A and the rear of a semiconductor chip by bonding Au wires

4; this assembly is sealed with a resin 5.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫ 公開特許公報(A)

平4-179245

⑬ Int.Cl.<sup>5</sup>

H 01 L 21/60

識別記号

3 0 1 N

庁内整理番号

6918-4M

⑭ 公開 平成4年(1992)6月25日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-307810

⑰ 出 願 平2(1990)11月13日

⑱ 発 明 者 増 田 正 親 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発 明 者 矢 野 洋 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 秋田 収喜

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 半導体チップの表面に回路を形成し、該半導体チップの表面に対向する裏面に、前記表面に形成される回路をミラー反転した回路又は他の回路を形成し、これらの回路形成面に絶縁膜を介して配線膜を形成し、その配線膜の一部である電極パッド部を残して、他部をパッシベーション膜又はベレットコーティング膜で被い、その電極パッド部と前記半導体チップの周辺に位置する内部リードの先端との間を電気的に接続し、樹脂で封止したことを特徴とする半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特に、半導体チップの回路形成面を有する裏面に対向する裏面に、前記表面に形成される回路をミラー反転した回路

又は制御回路等の他の回路を形成し、この回路形成面に絶縁膜を介して配線膜を形成し、その配線膜の一部である電極パッド部を残して、他部をパッシベーション膜ベレットコーティング膜で被い、その電極パッド部と前記半導体チップの周辺に位置する内部(リードインナーリード)の先端との間を電気的に接続し、樹脂で封止した半導体装置に関するものである。

(従来の技術)

従来、1パッケージにメモリ容量を増加させるものとして、2段階重ねベレット構造にして、パッケージングするものや、ミラー反転したベレットを両立させて接着剤で貼りつける方法がある。

(発明が解決しようとする課題)

しかしながら、本発明者は、前記の従来技術を検討した結果、以下のような問題点を見出した。

メモリ容量を増加させる場合、2つの半導体チップを使うと、実装密度も倍になり、半導体チップの高密度化ではない。しかも、パッケージ厚は倍になっている。

また、半導体チップでの大容量メモリ化（例えば16MビットDRAM、64MビットDRAM）に対しては、年々チップサイズが増大し、パッケージも大きくなり、実装密度が低くなる。

本発明の目的は、半導体チップのチップサイズを増大することなく、高密度化が可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

半導体チップの表面に回路を形成し、該半導体チップの表面に対向する裏面に、前記表面に形成される回路をミラー反転した回路又は制御回路（マイコン）等の他の回路を形成し、これらの回路形成面に絶縁膜を介して配線膜を形成し、その配線膜の一部である電極パッド部を残して、他部

をパッシベーション膜又はベレットコーティング膜で被い、その電極パッド部と前記半導体チップの周辺に位置する内部リードの先端との間を電気的に接続し、樹脂で封止した半導体装置である。

〔作 用〕

前述した手段によれば、半導体チップの表面に回路を形成し、該半導体チップの表面に対向する裏面に、前記表面に形成される回路をミラー反転した回路又は制御回路（マイコン）等の他の回路を形成するので、半導体チップのチップサイズを増大することなく、高密度化がはかれる。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能をもつものは、同一符号を付け、その繰り返しの説明は省略する。

第1a図及び第1b図は、本発明をメモリ装置に適用した一実施例の概略構成を説明するための図であり、第1a図はパッケージ表側の結線図、

- 3 -

第1b図はパッケージ裏側の結線図である。

第2a図は、前記第1a図のA-A線で切った断面図であり、第2b図は、前記第1a図のB-B線で切った断面図である。

第3図は、リードフレームのパターンを示す図である。

本実施例の半導体装置は、第1a図、第1b図、第2図及び第3図に示すように、半導体チップ1の表面にゲートアレイ方式のメモリセル群の回路（LSI）を形成し、該半導体チップ1の表面1Aに対向する裏面1Bに、前記表面に形成される回路をミラー反転した回路（LSI）を形成し、これらの回路形成面に絶縁膜を介して配線膜を形成し、その配線膜の一部である電極パッド部2を残して、他部をパッシベーション膜又はベレットコーティング膜（図では省略している）で被い、その電極パッド部2と前記半導体チップの表面1A及び裏面1Bの周辺に位置するリード3のインナーリード3Bの先端との間をAu線（金ワイヤ）4でボンディングして電気的に接続し、樹脂5で封

- 4 -

止したものである。なお、前記リード3には1～44の位置番号を付けてある。

前記リード3は、第3図に示すように、アウターリード3Aとインナーリード3Bとからなる。

また、前記半導体チップ1は、吊りリード3Cにより支持される。この吊りリード3Cの半導体チップ支持部3Cは、スプーン状に構成されている。

次に、本実施例の半導体装置の組み立て方法について説明する。

第4図は、ウェハ段階でのウェハ状態図を示す図。

第5図は、ダイシング後のダイレクトピックアップを説明するための図。

第6a図及び第6b図（第6a図のC-C線で切った断面図）は、ベレット付きボンディングワイヤをリードにボンディングする手段を説明するための図である。

本実施例の半導体装置の組み立て方法は、第4図に示すように、ウェハ10の裏面10Bに、表

- 5 -

- 6 -

面10Aに形成された回路(LSIパターン)11とのミラー反転したLSIパターンを作る。合、ウェハ10のオリフラ12を利用し、また、ウェハ10の搬送に用いる取りしろ13を作成しておく。また、前記LSIパターン11内のコーナー部は、後工程上使用できるように取りしろ11Aとしておく。

エッチングする場合においては、表面10Aを接着テープで密着させ、表面1Aと裏面1Bとに交互にテープを貼り付けとはがし(剥離)をくり返して行う。拡散膜の形成や蒸着を行う場合には、表面1Aと裏面1Bを交互にマスキングし、表面の取りしろ13を使用して行う。

このようにして出来た表面パターンウェハ10は、第5図に示すように、片面をフィルム14でテーピングし、フルダイシングによりチップサイズとする。その後、ダイレクトピックアップにより、半導体チップ1のコーナー部(他の部分でも可)にあらかじめピックアップ経路をつけてもよい箇所を押し出し、真空吸着装置15でペレット

皿(皿底には傷をつかせぬシート、例えばゴムシート等を貼っておく)に入れるか、ペレット付けマウントさせる。

ペレット付けにおいては、第6b図に示すように、前記半導体チップ1のコーナー部と吊りリード3Cの半導体チップ支持部3C、でペレット付けを行う。

ワイヤボンディングにおいては、第6a図、第6b図及び第7図に示すように、半導体チップ1の表面を、まず、ワイヤボンディングし、その後、第6a図及び第6b図に示すように、半導体チップ1のコーナー部を表面側から押入部材16で押え、反転させてから、そのままコーナー部を固定した状態で裏面のワイヤボンディングを行う。

ボンディング後は、トランスファモールドにより樹脂5のモールドを行い、その後、アウトリード3AをJベンドリードやルウィングリード形状に成形切断を行う。

両面エクフラ付けのウェハ(ウェハ厚は、ほぼ500 $\mu$ mであるが、薄い250 $\mu$ m程度にして

- 7 -

- 8 -

もよい)の片面に、LSIパターンのエッチング及び拡散、蒸着を行ってもよいが、工程を考慮両面にLSIパターンを形成する場合は、両面交互にマスキングをしたり、同時拡散などが行える場合は、行ってもよい。

また、ウェハの搬送用として、両面に搬送取りしろをウェハ周囲に設けておく。あとはオリフラの位置決めを用い、LSIパターンニングを両面交互に行う。また、ウェハからペレットサイズにする時のために、ペレットコーナー部でも良いがダイシング時のダイレクトピックアップ経路の確保、ペレット付箇所、ボンディング押入位置等をあらかじめコーナー部もしくはペレット周辺に位置させておく。

前記ペレット付けは、Agペーストやゴムペースト剤で接着させベークにより固着させる。ボンディングの際は、ペレットのコーナーを、第6a図、第6b図に示すように押え、表側をボンディングした後、反転させて、裏側をボンディングする。

以上の説明からわかるように、本実施例によれば、半導体チップ1の表面1Aに回路(LSI)を形成し、該半導体チップ1の回路形成面を有する表面1Aに対する裏面1Bに、前記表面に形成される回路をミラー反転した回路(LSI)を形成するので、半導体チップ1のチップサイズを増大することなく、高密度化がはかれる。

これにより、小型で薄形の大容量のメモリが実現できる。

#### [実施例2]

第7a図及び第7b図は、本発明をメモリ装置に適用した実施例2の概略構成を説明するための図であり、第7a図はパッケージ表側の結線図、第7b図はパッケージ裏側の結線図である。

前記実施例1では、半導体チップ1の回路形成面を有する表面1Aに対する裏面1Bに、前記表面に形成される回路をミラー反転した回路(LSI)を形成したが、本実施例2のメモリ装置は、半導体チップ1の表面1Aにゲートアレイ(メモリセル群)回路を形成し、該半導体チップ1の回

- 9 -

-257-

- 10 -

路形成面を有する表面 1 A に対する裏面 1 B に、マイコンからなるゲートアレイ（メモリセル群）回路の制御回路を形成したものである。

つまり、表面 1 A にメモリ L S I パターン、裏面 1 B にマイコン L S I パターンを形成し、各々のパッド部をパッケージのインナーリードと同一結線化させること（パッケージ内で、チップコンデンサー、抵抗とも接続する）により、小型で薄形のシステムパッケージの半導体装置が可能となる。

また、チップサイズから表面 1 A に大メモリ L S I パターンを形成させ、裏面 1 B にロジック I C × 2 個 + マイコン I C パターンを形成することにより、より小さなシステムパッケージの半導体装置が実現できる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

（発明の効果）

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである

半導体チップ 1 のチップサイズを増大することなく、高密度化がはかれるので、薄形で大容量化の半導体装置が実現できる。

また、薄形でより小さなシステムパッケージの半導体装置が実現できる。

#### 4. 図面の簡単な説明

第 1 a 図及び第 1 b 図は、本発明をメモリ装置に適用した一実施例の概略構成を説明するための図、

第 2 a 図、第 2 b 図は、前記第 1 a 図の A-A 線、B-B 線でそれぞれ切った断面図、

第 3 図は、リードフレームのパターンを示す図、

第 4 図は、ウェハ段階でのウェハ状態図を示す図、

第 5 図は、ダイシング後のダイレクトピックアップを説明するための図、

第 6 a 図及び第 6 b 図（第 6 a 図の C-C 線で

- 11 -

- 12 -

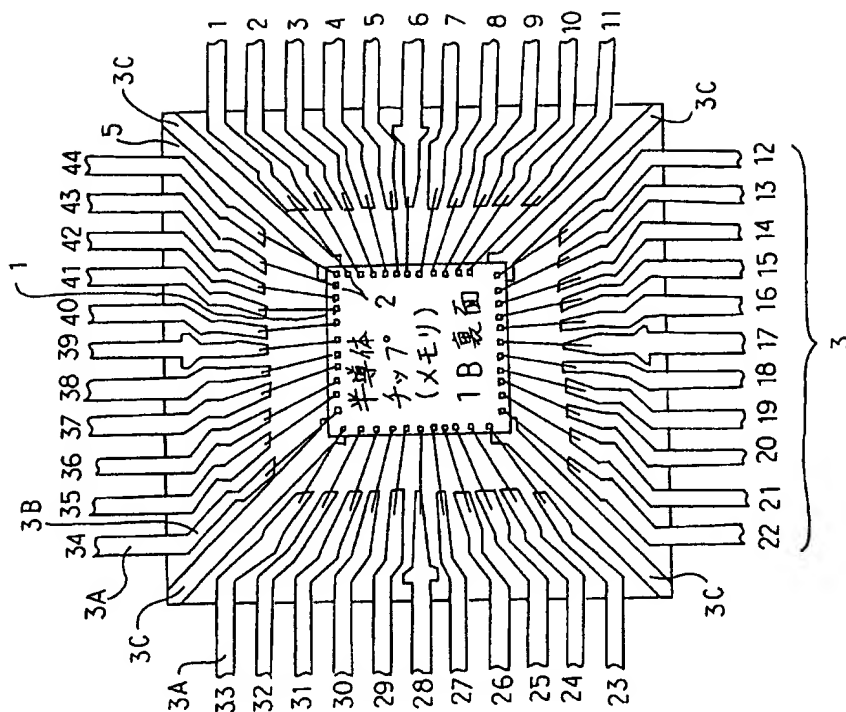
切った断面図）は、ベレット付きボンディングワイヤをリードにボンディングする手段を説明するための図、

第 7 a 図及び第 7 b 図は、本発明をメモリ装置に適用した実施例 2 の概略構成を説明するための図である。

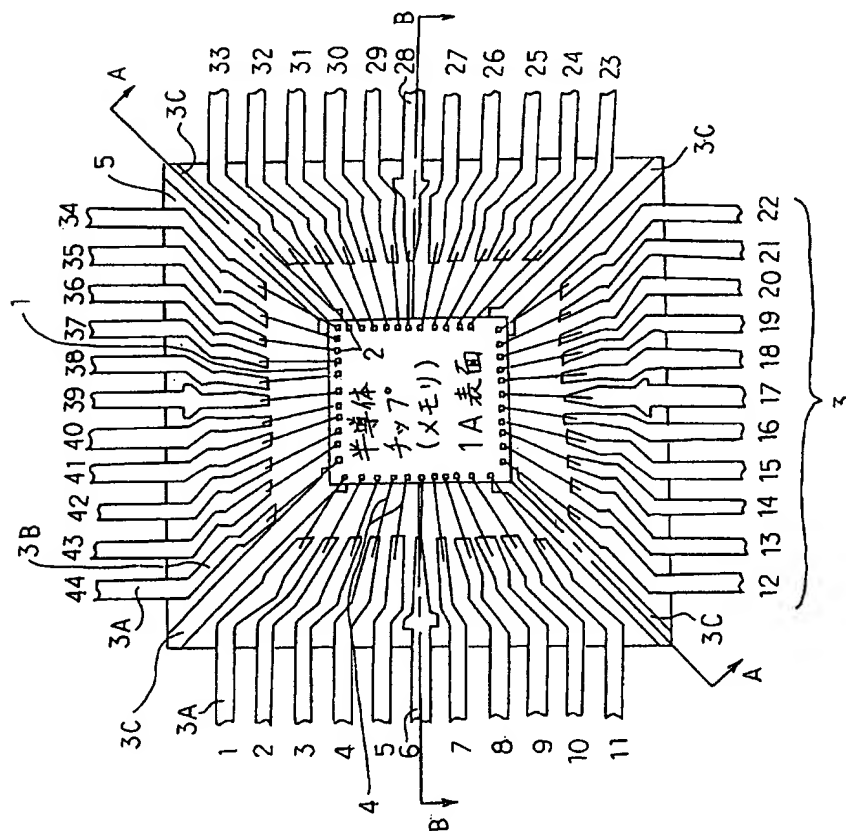
図中、1…半導体チップ、1 A…半導体チップの表面、1 B…半導体チップの裏面、2…電極パッド部、3…リード、3 A…アウターリード、3 B…インナーリード、3 C…吊りリード、3 C<sub>1</sub>…半導体チップ支持部、4…Au 線（金属ワイヤ）、5…樹脂、

代理人 弁理士 秋田収喜

第1b図

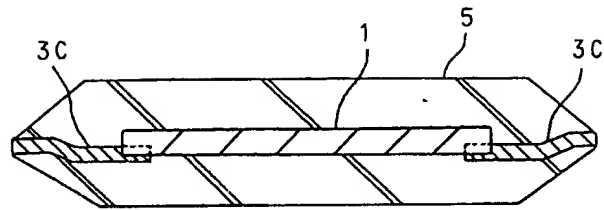


第1a図

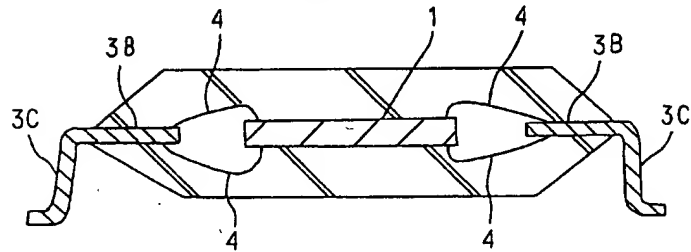




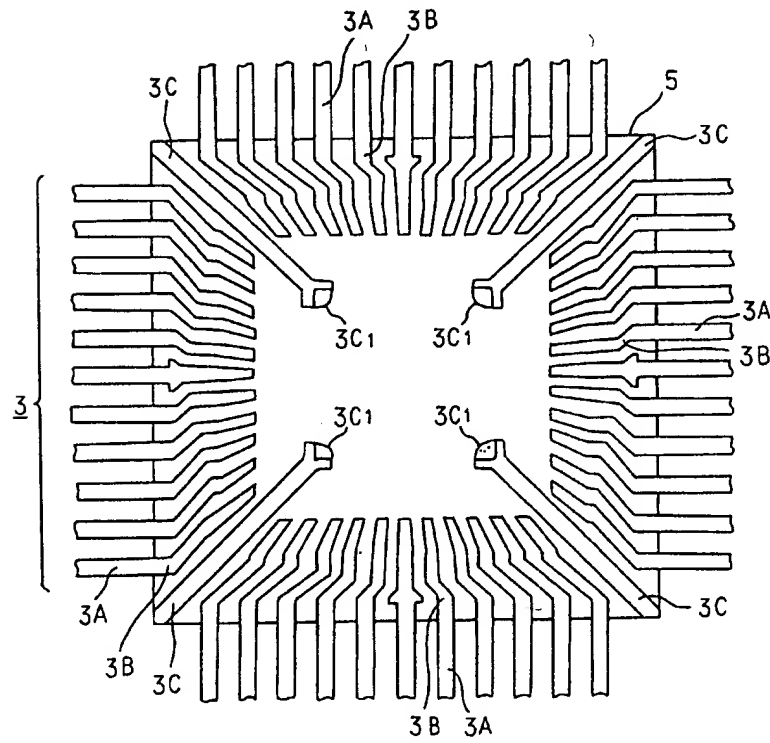
第2a図



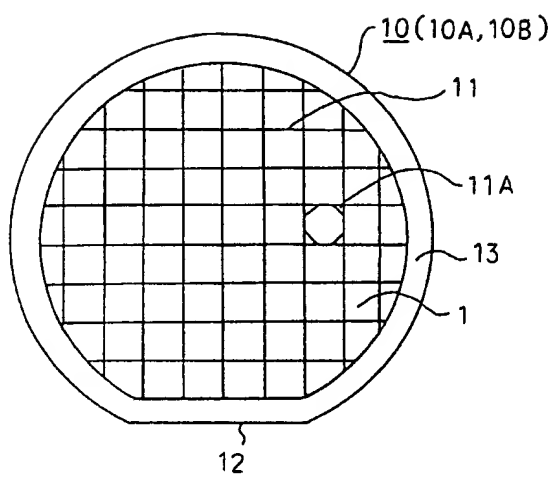
第2b図



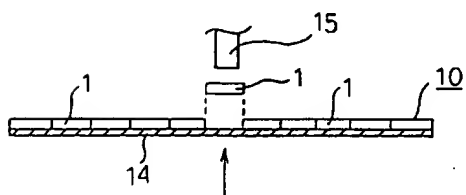
第 3 図



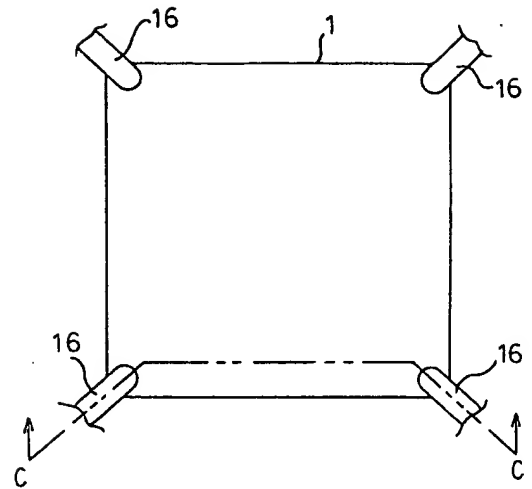
第 4 図



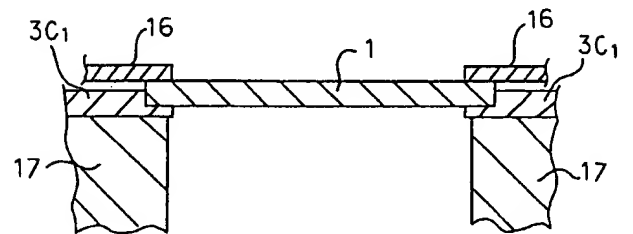
第 5 図



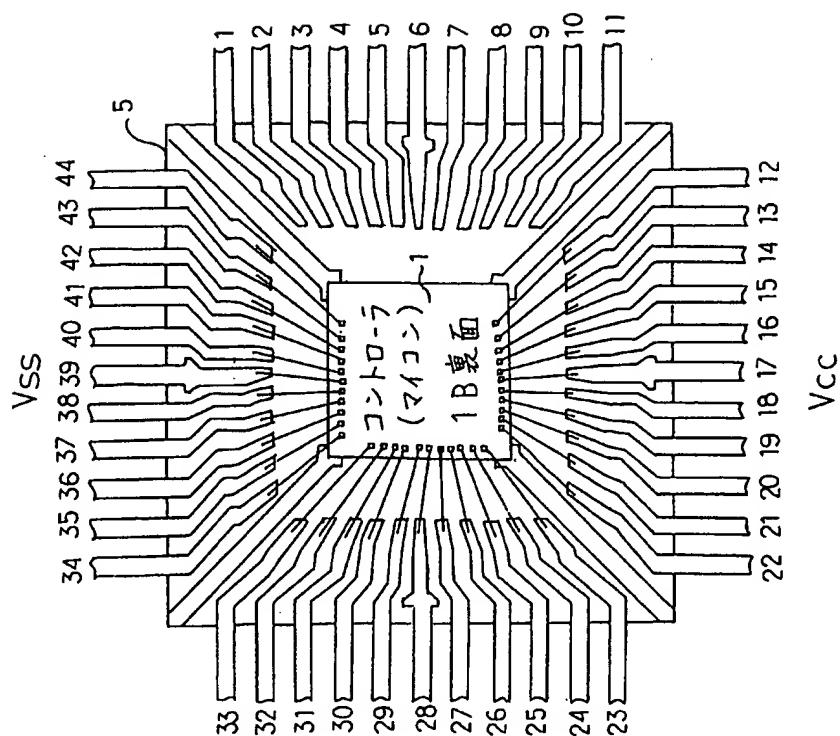
第6a図



第6b図



第7b図



第7a図

